

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-235991

(43)Date of publication of application : 10.09.1993

(51)Int.Cl.

H04L 12/48

H04Q 3/52

H04Q 11/04

(21)Application number : 04-038231

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.02.1992

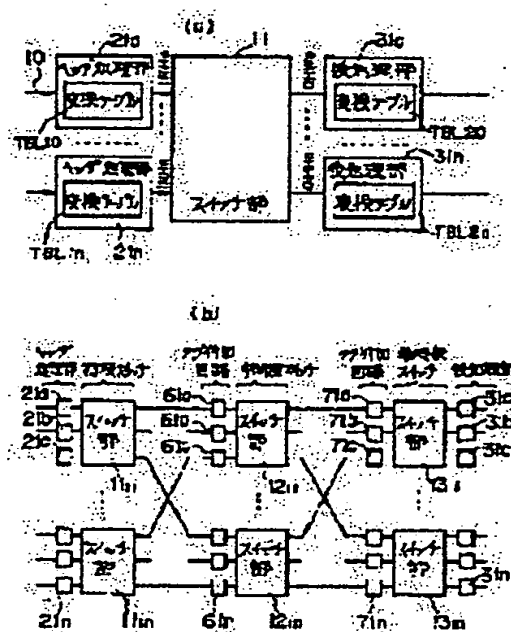
(72)Inventor : KATO YUJI  
TOMONAGA HIROSHI  
MATSUOKA NAOKI

## (54) DISTRIBUTION CONNECTION SYSTEM IN ATM EXCHANGE

## (57)Abstract:

**PURPOSE:** To reduce the memory capacity of a header conversion table used for distribution connection and to implement distribution connection/1:1 connection by a same equipment.

**CONSTITUTION:** In the case of a distribution connection call, header processing sections 21a-21n use conversion tables TBL10-TBL1n to obtain distribution display data, an intermediate VCI and a bit map tag and to give them to a cell, the result is inputted to a switch section 11, and in the case of a 1:1 connection call, distribution display data, an intermediate VCI and a bit map tag are obtained and given to a cell, the result is inputted to the switch section 11. The switch section 11 is switched based on tag information to output the cell to a prescribed outgoing highway. In the case of the distribution connection call, post processing sections 31a-31n provided to the outgoing highway use conversion tables TBL 21-2n to convert an intermediate VCI of the cell inputted to a regular VCI of the outgoing highway and the result is outputted, and in the case of the 1:1 connection call, the VCI is not converted and the cell is outputted as it is.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-235991

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/48				
H 0 4 Q 3/52	1 0 1 Z	9076-5K		
11/04				
		8529-5K	H 0 4 L 11/ 20	Z
		9076-5K	H 0 4 Q 11/ 04	R

審査請求 未請求 請求項の数3(全 12 頁)

(21)出願番号 特願平4-38231

(22)出願日 平成4年(1992)2月25日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 加藤 祐司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 朝永 博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 松岡 直樹

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

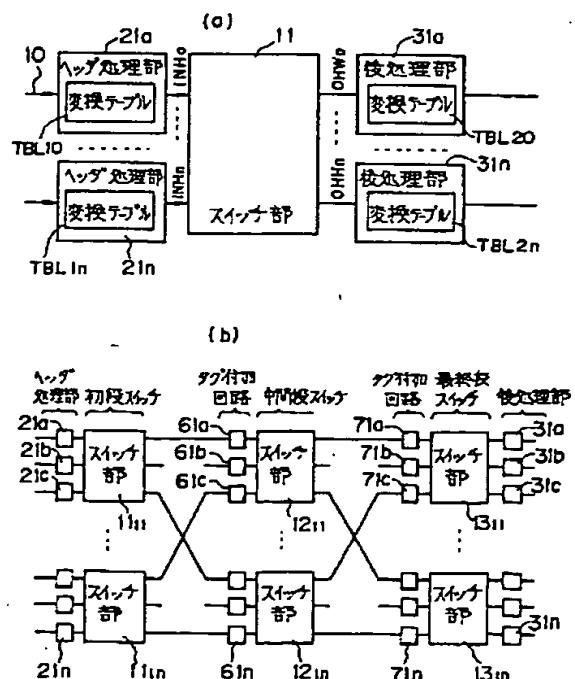
(54)【発明の名称】 ATM交換機における分配接続方式

(57)【要約】

【目的】 分配接続に用いるヘッダ変換テーブルのメモリ容量を減少し、かつ、分配接続・1対1接続を同一設備で行う。

【構成】 ヘッダ処理部21a~21nは分配接続呼の場合には、変換テーブルTBL10~TBL1nより分配表示データ、中間VCI及びビットマップタグを求めてセルに付与してスイッチ部11に入力し、1対1接続呼の場合には、分配表示データ、正規VCI及びコードタグを求めてセルに付与してスイッチ部11に入力する。スイッチ部11はタグ情報に基づいてスイッチしてセルを所定の出ハイウェイに出力する。出ハイウェイに設けられた後処理部31a~31nは分配接続呼の場合、変換テーブルTBL21~TBL2nを用いて入力されたセルの中間VCIを出ハイウェイでの正規なVCIに変換して出力し、1対1接続呼の場合には、VCIを変換せずそのまま出力する。

本発明の原理説明図



## 【特許請求の範囲】

【請求項1】 呼識別情報を含むヘッダと情報からなるセルを複数の出ハイウェイに出力するATM交換機における分配接続方式において、

通話路は、自己ルーティング形のスイッチ部(11)と、スイッチ部の各入ハイウェイに設けられたヘッダ処理部(21a~21n)と、スイッチ部の各出ハイウェイに設けられた後処理部(31a~31n)を備え、

ヘッダ処理部は、入力セルの呼識別情報に対応させて、

(1) 呼が分配接続呼であるか1対1接続呼であるかを示す分配表示データと共に、(2) 分配接続呼の場合にはスイッチ部内における中間呼識別情報と出ハイウェイに対応したビットをマークしたビットマップのタグを、また1対1接続呼の場合には出ハイウェイでの正規の呼識別情報とコード化されたタグを、それぞれ格納する変換テーブルを備え、

後処理部は分配接続呼の場合には、中間呼識別情報を出ハイウェイでの正規の呼識別情報に変換する変換テーブルを備え、

セルが入力された時、ヘッダ処理部は該セルの呼識別情報に基づいて変換テーブルより分配表示データ、中間又は正規の呼識別情報及びタグ情報を求めてセルに付与してスイッチ部に入力し、

スイッチ部は分配接続呼の場合にはビットマップ化されたタグによりスイッチして1以上の出ハイウェイに出力し、1対1接続呼である場合には、コード化されたタグを用いてスイッチして1つの出ハイウェイに出力し、出ハイウェイに設けられた後処理部は分配接続呼の場合には入力されたセルの中間呼識別情報を変換テーブルを用いて出ハイウェイでの正規な呼識別情報に変換して出力し、1対1接続呼の場合には、そのまま出力することを特徴とするATM交換機における分配接続方式。

【請求項2】 スwitch部を多段のリンク接続すると共に、初段スイッチ部(11<sub>11</sub>~11<sub>1n</sub>)の各入ハイウェイに前記ヘッダ処理部(21a~21n)を設け、最終段スイッチ部(13<sub>11</sub>~13<sub>1n</sub>)の各出ハイウェイに前記後処理部(31a~31n)を設け、中間段スイッチ部(12<sub>11</sub>~12<sub>1n</sub>)及び最終段スイッチ部の前段に中間呼識別情報に応じたビットマップ化されたタグをセルに付加するタグ付加回路を設け、1対1接続の場合、初段、中間段、最終段スイッチ部は、ヘッダ処理部で付加した各段のコード化されたタグを用いてスイッチを行い、

分配接続呼の場合、初段スイッチ部はヘッダ処理部で付加したビットマップ化されたタグを用いてスイッチすると共に、中間段、最終段スイッチ部は中間呼識別情報に基づいて前段のタグ付加回路で付加されたビットマップ化されたタグを用いてスイッチすることを特徴とする請求項1記載のATM交換機における分配接続方式。

【請求項3】 特定の1つの仮想パス識別情報により、呼が分配接続呼であることを表示し、それ以外の仮想パ

ス識別情報により、呼が1対1接続呼であることを表示することを特徴とする請求項1記載のATM交換機における分配接続方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は呼識別情報を含むヘッダと情報とからなるセルを複数の出ハイウェイに出力するATM交換機における分配接続方式に関する。近年、高度化情報社会の発達に伴って、音声通信、データ通信だけでなく動画像通信も含めたマルチメディア通信のニーズが高まりつつあり、そのような広帯域の通信の実現手段として、非同期転送モード(Asynchronous Transfer Mode:以下略してATMという)を使ったATM交換技術がCCITTで合意され、研究が進められている。

【0002】 ATM交換機では、セル毎に固有なルーティング情報に基づきセルフルーティングを行う交換方式のため、従来の回線交換のように単に複数のクロスポイントと同時にオンして分配接続を行うことが不可能である。しかし、音声、データ等のマルチメディア通信を扱うATM交換においても同報通信を行うことが必須の機能であり、その実現が望まれている。

## 【0003】

【従来の技術】 図14はATM交換機における分配接続方式の従来例説明図である。図において、80はヘッダと情報よりなるセル、81は前処理部(FP0~FP3で表示)、82は入ハイウェイ(IHW0~IHW3で表示)、83は前処理部から出力された情報、84はマトリックス状のスイッチ部(SWで表示)、85は出ハイウェイ(OHW0~OHW3で表示)、86は変換部(CNV0~CNV3で表示)である。

【0004】 ATM方式の交換機の場合、各種速度の通信を非同期モードでの交換により実現するために、セルという一定量の情報単位で交換処理を行う。スイッチ部84の各クロスポイント(図中CPで表示)には図示しないバッファ及びバッファ制御部が設けられ、入ハイウェイ82から入力した情報はスイッチ部84内の対応する水平路に与えられ、出力されるべき出ハイウェイ85に接続した垂直路とのクロスポイントにおいてバッファに書き込まれ、そのバッファから出ハイウェイ85へ読み出されて交換が行われる。

【0005】 入力したセル80はデータ(DATA)と呼識別情報(回線識別番号、Virtual Channel Identifierを略したVCIで表示される)を含むヘッダとから成り、前処理部81においてタグ情報83-1、入ハイウェイ番号83-2が付加されてセル83となって入ハイウェイ82上に出力される。セル83のタグ83-1は出ハイウェイ85に対応したビットのマーク("1"にする)によりスイッチ部84の各クロスポイントにおける接続動作を制御する。

【0006】 図の例では、タグ83-1の内容が"110

1" (図中、左側が先頭ビット) であるから、第1番目のビット (出ハイウェイ0に対応) と第3番目のビット (出ハイウェイ2に対応) 及び第4番目のビット (出ハイウェイ3に対応) がそれぞれ"1" であるから、入ハイウェイ番号0からスイッチ部84に入力したセル83は出ハイウェイ0、出ハイウェイ2、出ハイウェイ3に接続することを指示している。スイッチ部84の入ハイウェイ0上の各クロスポイントではこのタグを調べて、自分が指定されている時はそのセルをバッファに書き込んで、出ハイウェイへ読み出して、分配接続が行われる。図の例ではイ、ロ、ハのクロスポイントのバッファにより接続が行われる。

【0007】このようにして出ハイウェイ0、2、3上に分配された3つのセル83は、全て同じ呼識別情報 (VCI) であるA (数字を表す) を使用しており、各セル毎に制御をおこなうためにユニークな情報にしなければならない。又、各入ハイウェイ0~3から入力したセルは同一VCIを有するものがあり、これらを区別してユニークな情報にしなければならない。そのため、変換部86においてそれぞれが内蔵するテーブルTBL0~TBL3 (TBL1, TBL2は省略) を参照して変換を行う。出ハイウェイ0の変換部86 (CNV0) の場合、テーブルTBL0が備えられ、その内容として図示のように入ハイウェイ番号IHW0~IHW3に対応して入力した呼識別情報 (VCI) をアドレスした位置に出ハイウェイでの呼識別情報 (VCI) が格納されている。

【0008】図の例では、入ハイウェイ番号83-2の"0" がスイッチ部84から出力したセルから得られるので、変換部CNV0においてテーブルTBL0のIHW0の列の中から"A" 番目を参照すると、そこからVCIとして数字Bが得られ、それまで付加されていた"A" の代わりに新たな呼識別情報Bがセルに付加され、後段に出力される。同様にCNV2 (図示せず) では新たな呼識別情報Cが付加され、CNV3ではテーブルTBL3が参照され呼識別情報Dが付加される。

【0009】かかる従来例の分配接続方式によれば、変換テーブルとして、入ハイウェイ数をN、呼識別情報VCIで識別可能な呼数をMとすれば、各出ハイウェイ毎にM×Nワードのメモリを配置する必要がある。従って、変換テーブルの総量として、M×N<sup>2</sup> (出ハイウェイ数N) ワードとなる。このようにテーブルに要するメモリの容量が膨大なものとなり、コストが高くなるという問題がある。

【0010】このため、分配接続を行う際に呼識別情報の変換に要するテーブルのメモリ容量を少なくしたATM交換機の分配接続方式が提案されている。図15はかかる分配接続方式の従来例であり、1は情報と呼識別情報 (VCI) を含むヘッダから成るセル、2はヘッダ変換部 (VCCで表示)、3はスイッチ部 (Sで表示)、

4は処理装置 (CPU)、5は各ヘッダ部に設けられた変換テーブルである。

【0011】ヘッダ変換部2とスイッチ3が一组となつて、m段 (設例ではm=3) のリンク構成の通話路が示され、各段にn組 (設例ではn=2) のヘッダ変換部とスイッチ部の組が設けられている。スイッチ部3の内容は図示されないが、最も単純な形式である2×2 (2入力、2出力のマトリックス) の構成を備えている。ヘッダ変換部2は、スイッチ部3の前段に設けられると共に、分配接続後の出ハイウェイにおけるVCI変換値を格納する変換テーブルを備えている。ヘッダ変換部2からそれらのVCIを全てセルと共にスイッチ部3に転送させ、分配接続を行うクロスポイントにおいて対応する呼識別情報を付加したセルを形成して出力することにより分配接続における呼識別情報の変換を行う。

【0012】発呼情報がCPU4に与えられると、CPU4では発呼情報に含まれる分配接続の要求に応じて接続経路を生成し、それに対応して各ヘッダ変換部2 (VCC) 内の変換テーブル5の内容を設定する。変換テーブル5は、図15の下側に一部が示されているように、VCI値で指示された位置にタグ5-1とスイッチ接続後の呼識別情報 (VCI変換値で表示) 5-2が格納される。タグ5-1は図14の例と同様にスイッチ部3における出ハイウェイへ接続するか、接続しないかを"1", "0" により表現し、VCI変換値5-2にはタグにより分配先の数 (VCC11では1個、VCC12では2個) に対応して、順にVCI変換値が格納されている。

【0013】発呼により生成したセル1はVCI値としてAを含んでおり、初段のヘッダ変換部VCC11に入力すると、そこに設けられた変換テーブル5 (図中TBL1) のアドレスAに格納されたタグ"10" がセルの先頭に付加されると共にVCI変換値Bが取り出されてセル情報と共にスイッチ部3に転送される。

【0014】これらの情報がスイッチ部S11に入力すると、タグ5-1により指示されたクロスポイント (出ハイウェイ0の方だけ) でセルを取り込んで蓄積すると共にクロスポイントの位置に対応するVCI変換値を選択して、先頭に付加することによりヘッダを付け換え (入力セル1に含まれたVCI値Aは付加せず)、続けてバッファから情報を取り出してセルを形成して出ハイウェイに出力する。

【0015】スイッチ部S11から出力されたセルは次に第2段のヘッダ変換部VCC12に入力し変換テーブルTBL12において、VCI値Bによりアドレスされた位置からタグ"11" をセルの先頭に付加し、VCI変換値C、Dを取り出して、スイッチ部S12に転送する。スイッチ部S12では、出ハイウェイの0、1の両方に接続するクロスポイントにおいて、入力した情報を受け取って蓄積し、出ハイウェイへの0側へはVCI値

としてCが付加され、1側へはVCI値としてDが付加され出力される。

【0016】スイッチ部S12の出ハイウェイ0、1から出力した同じ情報を含むセルは、第3段目のヘッダ変換部VCC13とVCC23に入力し、それぞれ図に示すテーブルTBL13とTBL23に従って上記と同様に処理され、スイッチ部S13とスイッチ部S23から同じ情報を含む3つの分配接続の出力6-1~6-3が得られる。各出力6-1~6-3はVCI値としてそれぞれ、E、F、Gが付加されており、互いに異なる値となる。

【0017】

【発明が解決しようとする課題】図15のATM交換機における分配接続方式によれば、分配接続を行う際に必要な変換テーブル用メモリの容量を図14の方式に比べて大幅に少なくでき、しかも、分配接続の回線数が制限を受けず、通話路内のバス管理が容易となるメリットがある。

【0018】しかし、かかる従来の分配接続方式においては各スイッチの前段にヘッダ変換部を設けなければならないため、変換テーブルを記憶するメモリの容量削減効果が十分でない問題がある。特に、多数のスイッチを多段リンク接続して通話路を形成する場合には、上記問題点が顕在化する。

【0019】又、従来の分配接続方式においては、非分配接続呼（1対1接続呼）も分配呼と区別せず同様の接続制御を行うため、一つ一つの変換テーブルメモリの容量が大きくなり、変換テーブルを記憶するメモリの容量削減効果が十分でない問題がある。

【0020】以上から本発明の目的は、分配接続に用いるヘッダ変換テーブルを記憶するメモリの容量を減少できるATM交換機における分配接続方式を提供することである。本発明の別の目的は、分配接続・1対1接続を同一設備で行えるATM交換機における分配接続方式を提供することである。本発明の更に別の目的は、分配接続・1対1接続を同一設備で行うようにしても、ヘッダ変換テーブルを記憶するメモリの容量を減少できるATM交換機における分配接続方式を提供することである。

【0021】

【課題を解決するための手段】図1は本発明の原理説明図である。図1(a)は通話路が1つのスイッチ部で構成される場合であり、11は自己ルーティング形のスイッチ部、21a~21nはスイッチ部の各入ハイウェイ1HW0~1NHnに設けられたヘッダ処理部、31a~31nはスイッチ部の各出ハイウェイ0HW0~0HWnに設けられた後処理部である。各ヘッダ処理部には、変換テーブルTBL10~TBL1nが設けられ、入力されるセルの呼識別情報（VCI）に対応させて、(1)呼が分配接続呼であるか1対1接続呼であるかを示す分配表示データと共に、(2)分配接続呼の場合にはスイッチ部内における中間呼識別情報（中間VCI）と出ハイ

ウェイに対応したビットをマークしたビットマップのタグを、また1対1接続呼の場合には出ハイウェイでの正規の呼識別情報（正規のVCI）とコード化されたタグを、それぞれ格納する。各後処理部には、変換テーブルTBL20~TBL2nが設けられ、中間VCIに対応させて出ハイウェイでの正規のVCIを格納する。

【0022】図1(b)は、通話路を多数のスイッチ部で多段リンク接続した場合であり、11<sub>11</sub>~11<sub>1n</sub>は初段スイッチ部、12<sub>11</sub>~12<sub>1n</sub>は中間段スイッチ部、13<sub>11</sub>~13<sub>1n</sub>は最終段スイッチ部、21a~21nは初段スイッチ部の各入ハイウェイに設けられたヘッダ処理部、31a~31nは最終段スイッチ部の各出ハイウェイに設けられた後処理部、61a~61n、71a~71nは中間段スイッチ部及び最終段スイッチ部の前段に設けられ、中間VCIに応じたビットマップ化されたタグをセルに付加するタグ付加回路である。

【0023】

【作用】ハイウェイ10よりセルが入力された時、ヘッダ処理部21aは該セルの呼識別情報VCIに基づいて変換テーブルTBL10より分配表示データ、中間又は正規の呼識別情報及びタグ情報を求めてセルに付加してスイッチ部11に入力し、スイッチ部11は分配接続呼の場合にはビットマップ化されたタグによりスイッチしてセルを所定の1以上の出ハイウェイに出力し、1対1接続呼である場合には、コード化されたタグを用いてスイッチしてセルを所定の1つの出ハイウェイに出力する。出ハイウェイに設けられた後処理部31a~31nは分配接続呼の場合、変換テーブルTBL21~TBL2nを用いて、入力されたセルの中間VCIを出ハイウェイでの正規なVCIに変換して出力し、1対1接続呼の場合には、VCIを変換せずそのまま出力する。

【0024】多数のスイッチ部を多段リンク接続して通話路を構成する場合には、初段スイッチ部11<sub>11</sub>~11<sub>1n</sub>の各入ハイウェイにヘッダ処理部21a~21nを設け、最終段スイッチ部13<sub>11</sub>~13<sub>1n</sub>の各出ハイウェイに後処理部31a~31nを設け、中間段スイッチ部12<sub>11</sub>~12<sub>1n</sub>及び最終段スイッチ部13<sub>11</sub>~13<sub>1n</sub>の前段にビットマップ化されたタグをセルに付加するタグ付加回路61a~61n、71a~71nを設ける。1対1接続の場合には、初段、中間段、最終段スイッチ部は、ヘッダ処理部11a~11nで付加した各段のコード化されたタグを用いてスイッチを行ってセルを1つの出ハイウェイに出力する。分配接続呼の場合には、初段スイッチ部11<sub>11</sub>~11<sub>1n</sub>はヘッダ処理部21a~21nで付加したビットマップ化されたタグを用いてスイッチすると共に、中間段、最終段スイッチ部12<sub>11</sub>~12<sub>1n</sub>、13<sub>11</sub>~13<sub>1n</sub>は中間VCIに基づいてタグ付加回路61a~61n、71a~71nで付加されたビットマップ化されたタグを用いてスイッチしてセルを1以上の出ハイウェイに出力する。出ハイウェイに設けられた

後処理部31a~31nは分配接続呼の場合、変換テーブルTBL21~TBL2nを用いて入力されたセルの中間VCIを出ハイウェイでの正規なVCIに変換して出力し、1対1接続呼の場合には、VCIを変換せずそのまま出力する。

【0025】以上のように、ヘッダ変換部、後処理部を初段スイッチ部の前段及び最終段スイッチ部の後段に設け、中間段及び最終段スイッチ部の前段にはタグ付加回路のみを設けるだけで良いため、分配接続に用いるヘッダ変換テーブルのメモリ容量を減少することができる。又、分配接続・1対1接続を同一設備で行うことができる。更に、1対1接続の場合にはヘッダ変換部で出ハイウェイでの正規のVCIと各段におけるコード化されたタグを求めるようにしているため、中間、最終段で何等の変換も必要なく、換言すれば、タグ変換部、後処理部では1対1接続呼に対して何等考慮する必要は無いから、分配接続・1対1接続を同一設備で行うようにしても、ヘッダ変換テーブル用メモリ等の容量増加が少ない。

#### 【0026】

【実施例】(a) 本発明の第1の実施例

#### 全体の構成

図2は本発明に係わるATM交換機における分配接続方式の第1の実施例構成図であり、通話路が1つのスイッチ部で構成される場合である。図中、11は自己ルーティング形のスイッチ部、21a~21nはスイッチ部の各入ハイウェイIHW0~INHnに設けられたヘッダ処理部、31a~31nはスイッチ部の各出ハイウェイOHWO~OHWNに設けられた後処理部、41はCPUである。

【0027】各ヘッダ処理部21a~21nには、変換テーブルTBL10~TBL1nがそれぞれ設けられ、発呼情報に基づいてCPU41によりテーブルの内容が設定される。すなわち、各変換テーブルTBL10~TBL1nには、入力されるセル101の呼識別情報VCI101aをアドレスとする位置に、(1)呼が分配接続呼であるか1対1接続呼であるかを示す分配表示データ101a-1と、(2)分配接続呼の場合には、セルを出力する出ハイウェイに対応したビットをマーク("1")したビットマップのタグ101a-2と、スイッチ部内における中間VCI101a-3、中間仮想パス識別子(中間VPI)101a-4が格納され、また、(3)1対1接続呼の場合にはセルを出力する1つの出ハイウェイに応じたコード化されたタグ101a-2'と、セルを出力する出ハイウェイでの正規のVCI101a-3'と、正規のVPI101a-4'が格納される。尚、各ハイウェイから入力されたセルのヘッダ変換後の中間VCI値がスイッチ部11内で同一値を取らないように各中間VCI値が決められている。

【0028】分配表示データ101a-1は1ビットの分配表示ビットにより表現され、"1"の場合には分配接続

呼、"0"の場合には1対1接続呼である。この分配表示は分配表示ビットによらず仮想パス識別情報により表現することもできる。例えば、特定の1つの仮想パス識別情報(VPI=99)により呼が分配接続呼であることを表示し、それ以外の仮想パス識別情報(VPI≠99)により呼が1対1接続呼であることを表示するように構成する。すなわち、分配接続呼の場合に中間VPIを99とし、また正規のVPIは99の値を取らないようにすることにより分配表示を行う。

【0029】タグには前述のようにビットマップ化されたタグ(ビットマップタグ)とコード化されたタグ(コードタグ)の2種類があり、分配接続の場合にはビットマップタグを用いて分配接続の方路(出ハイウェイ)を指示し、1対1接続の場合にはコードタグを用いて1対1接続の方路(出ハイウェイ)を指示する。分配接続の場合、1つの入ハイウェイ(IHW0~IHW7)から入力した情報は図3に示すようにスイッチ部11内の対応する水平路に与えられ、出力されるべき1以上の出ハイウェイに接続した垂直路とのクロスポイントにおいて後述するバッファに書き込まれ、そのバッファから1以上の出ハイウェイへ読み出されてスイッチ(交換)が行われる。そして、どのクロスポイントのバッファに書き込み、読み出すかは8×8のマトリクス状スイッチの場合には、8個の出ハイウェイOHWO~OHW7に対応したビット位置を備えた8ビットのタグTGB(図4(a)参照)により表現され、情報を出力すべき出ハイウェイに応じたビット位置にマーク("1")が書かれてビットマップタグが形成される。例えば、出ハイウェイOHWO, 1, 6, 7にセルを分配接続する場合にはビットマップタグは11000011となる。

【0030】1対1接続の場合、1つの入ハイウェイから入力した情報はスイッチ部11内の対応する水平路に与えられ、出力されるべき1つの出ハイウェイに接続した垂直路とのクロスポイントにおいてバッファに書き込まれ、そのバッファから1つの出ハイウェイへ読み出されてスイッチ(交換)が行われる。そして、どのクロスポイントのバッファに書き込み、読み出すかは8×8のマトリクス状スイッチの場合には、8個の出ハイウェイOHWO~OHW7に対応したクロスポイントを3ビットのバイナリーコードのタグTGC(図4(b)参照)により表現され、情報を出力すべき出ハイウェイに応じた3ビット2進数値が書かれてコードタグが形成される。

【0031】各後処理部31a~31nには、変換テーブルTBL20~TBL2nが設けられ、入力されたセルの中間VCI(=M)をアドレスとする位置に出ハイウェイでの正規のVCI101a-5、正規のVPI101a-6が格納されている。各出ハイウェイ上に分配されるセルはセル毎に制御を行ううためにユニークな情報にする必要があり、各出ハイウェイ上におけるセルのVCIを異ならせなければならない。このため、各変換テーブルT

BL20~TBL20の内容は異なっている。

#### 【0032】ヘッダ処理部

ヘッダ処理部21a~21nは同一の構成を有し、例えばヘッダ処理部21aは図5に示すように変換テーブルTBL10とヘッダ変換制御を行うヘッダ変換部HCVを備えている。ヘッダ変換部HCVは、ハイウェイ10より入力されたセルから呼識別情報VIC(=A)を分離する分離部DEVと、呼識別情報VIC(=A)101aに応じた情報を変換テーブルTBL10から出力されるまでの期間、セル情報を遅延させる遅延回路DELと、変換テーブルTBL10から出力される分配表示ビット101a-1、タグ情報101a-2、101a-2'、中間又は正規のVIC101a-3、101a-3'、中間又は正規のVPI101a-4、101a-4'をセルの情報101bに選択的に付加するセレクタSELを備えている。尚、分配表示を特定のVPI(=99)により表現する場合には、分配表示ビットは付加されない。

【0033】図6はヘッダ処理部の変換動作の説明図であり、セル101が分配接続呼の場合には、情報101bの先頭に分配表示ビット("1")101a-1、ビットマップ化されたタグ101a-2、スイッチ内の中間VIC101a-3、中間VPI101a-4が付加されて後段のスイッチ部11に入力される。セル101が1対1接続呼の場合には、情報101bの先頭に分配表示データ("0")101a-1、コード化されたタグ101a-2'、出ハイウェイでの正規のVIC101a-3'、正規のVPI101a-4'が付加されて後段のスイッチ部11に入力される。

#### 【0034】クロスポイントの構成

スイッチ部11における各クロスポイントは図7に示すようにタグ解析部TGDと、リングバッファRGBと、セルバッファCBFを備えている。タグ解析部TGDは、入力セルのヘッダに付加された分配表示データから分配接続呼か1対1接続呼かを判断し、分配接続呼の場合にはタグ情報をビットマップタグとみなし、該ビットマップタグの内容を解析して自己の位置(クロスポイント)が出ハイウェイと接続することが指示されているか判断し、また1対1接続呼の場合にはタグ情報をコードタグとみなし、該コードタグを解析して自己の位置(クロスポイント)が出ハイウェイと接続することが指示されているか判断し、指示されている場合には、書き込み制御信号WRSを出力する。リングバッファRGBはセルバッファCBFに対する書き込み、読み出し制御を行い、多数個のセルバッファCBFをFIFO(First In First Out:先入れ・先出し)形式のメモリとして動作させる。すなわち、タグ解析部TGDより書き込み制御信号WRSが入力されると、リングバッファRGBは、入ハイウェイの信号速度に従ってセル情報をセルバッファCBFに書き込む。この結果、分配表示ビット、タグ、中間又は正規のVIC、VPI及び情報からなるセルがセルバッファCBFに格納され、格納後読み出し制

御信号RDSにより格納したアドレス位置から出ハイウェイへ順に読み出しが行われる。尚、タグについては1対1接続呼のセルの場合のみバッファに格納し、分配接続呼の場合には除去するように構成することもできる。

#### 【0035】後処理部の構成

後処理部31a~31nは同一の構成を備え、例えば後処理部31aは図8に示すように変換テーブルTBL20と、分配表示データに基づいて分配接続呼、1対1接続呼(非分配接続呼)の別を判断する分配・非分配呼判定部CLDと、ヘッダ変換部HDCを備えている。ヘッダ変換部HDCは1対1接続呼の場合には、入力セルをそのまま出力し(分配表示ビット、タグは除去)、分配接続呼の場合には、入力されたセルに付加されている中間VIC、VPIを出ハイウェイでの正規なVIC、VPIに変換すると共に分配表示ビット及びタグを除去して出力する。

【0036】図9は後処理部の変換動作の説明図であり、セル101が分配接続呼の場合には、中間VIC101a-3、中間VPI101a-4を出ハイウェイでの正規なVIC101a-5、VPI101a-6に変換すると共に分配表示ビット("1")101a-1、タグ101a-2を除去して出力し、セル101が1対1接続呼の場合には、分配表示ビット("0")101a-1及びタグ101a-2'を除去し、VIC、I、VPIはそのままにして出力する。

#### 【0037】全体の動作

発呼情報がCPU41に与えられると、CPU41は発呼情報に含まれる分配接続の要求に応じて接続経路を生成、それに対応して各ヘッダ処理部21a~21n内の変換テーブルTBL10~TBL1nの内容を設定する。尚、分配接続呼の場合には、変換テーブルに発呼するセルのVIC(=A)に対応させて、分配表示データ("1")101a-1、ビットマップタグ101a-2、中間VIC101a-3、中間VPI101a-4を記憶させ、1対1接続呼の場合には、分配表示データ("0")101a-1、コードタグ101a-2'、正規のVIC101a-3'、正規のVPI101a-4'を記憶させる。

【0038】発呼により発生したセルはVIC値として例えばAを含んでおり、ハイウェイ10よりヘッダ処理部21aに入力すると、変換テーブルTBL10の所定アドレスに格納されたVIC(=A)に応じた分配表示ビット、タグ情報、中間又は正規のVIC、中間又は正規のVPIがセルの先頭に付加されてスイッチ部11に転送される。

【0039】これらの情報がスイッチ部11に入力すると、スイッチ部11は分配表示ビットに基づいて分配接続呼か1対1接続呼かの判断を行い、分配接続呼の場合にはタグ情報をビットマップタグとみなし、1対1接続呼の場合にはコードタグとみなす。しかる後、ビットマップタグ又はコードタグにより指示された1以上のクロスポイントでセルを取り込んでセルバッファに蓄積する



と共に、蓄積後セルバッファからセルを取り出して、該クロスポイントに応じた1以上の出ハイウェイに出力する。

【0040】セルが出力された1以上の出ハイウェイの後処理部31a~31nは、セルの先頭に付されている分配表示データに基づいて分配接続呼、1対1接続呼（非分配接続呼）の別を判断し、1対1接続呼の場合には、入力セルをそのまま出力し（分配表示ビット、タグは除去）、分配接続呼の場合には、入力されたセルに付加されている中間VCIに応じた出ハイウェイでの正規なVCI 101a-5、正規なVPI 101a-6を求め、セルにこれらを付加して出力する（分配表示ビット、タグは除去）。

【0041】以上により、1対1接続呼の場合、ヘッダ処理部21aで入力セルの情報101bに(1) 所定の出ハイウェイでの正規VCI、VPI及び(2) 1対1接続のためのコードタグが付され、スイッチ部11で該コードタグに基づいて1つの出ハイウェイに出力され、該出ハイウェイに挿入された後処理部ではVCI、VPIの変換をせずそのまま出力する。又、分配接続呼の場合には、ヘッダ処理部21aで入力セルの情報101bに(1) スイッチ部内での中間VCI、中間VPI及び(2) 1以上の出ハイウェイへの分配接続のためのビットマップタグが付され、スイッチ部11で該ビットマップタグに基づいて1以上の出ハイウェイに分配出力され、1以上の各出ハイウェイにおける後処理部31a~31nでは中間VCIに基づいて各出ハイウェイでの正規のVCI（この値は出ハイウェイ毎に異なる）、正規のVPIを求め、該正規のVCI、VPIをセルに付加して伝送する。

【0042】(b) 本発明の第2の実施例

#### 全体の構成

図10は通話路を多段リンク接続構成した場合の本発明の実施例構成図であり、m段（設例ではm=3）のリンク構成の通話路が示され、各段にn組（設例ではn=3）のスイッチ部が設けられている。

【0043】図中、11<sub>11</sub>~11<sub>13</sub>は初段スイッチ部、12<sub>11</sub>~12<sub>13</sub>は中間段スイッチ部、13<sub>11</sub>~13<sub>13</sub>は最終段スイッチ部、21a~21iは初段スイッチ部の各入ハイウェイに設けられたヘッダ処理部、31a~31iは最終段スイッチ部の各出ハイウェイに設けられた後処理部、41は処理装置（CPU）、61a~61i、71a~71iはタグ付加回路であり、中間VCIに応じたビットマップタグをセルに付加するものである。各スイッチ部11<sub>ij</sub>、ヘッダ処理部21a~21i、後処理部31a~31iは、第1の実施例で示したスイッチ部、ヘッダ処理部、後処理部と同一の構成を有している。

【0044】尚、ヘッダ処理部は各ハイウェイから入力されたセルのヘッダ変換後の中間VCI値が通話路内で

同一値を取らないように中間VCI値を出力する。又、通話路内で分配されて同一の中間VCI値のセルであっても後処理部で互いに異なる正規のVCIに変換して出力される。更に、1対1接続呼の場合、ヘッダ処理部でセルに付加されるタグ情報は、各段におけるコードタグを有している。すなわち、1対1接続呼の場合、ヘッダ変換後のセルは図11に示すように構成され、タグ情報101a-2'は初段、中間段、最終段のコードタグTG1、TG2、TG3を有している。

#### 【0045】タグ付加回路

タグ付加回路61a~61i、71a~71iは同一の構成を備え、例えばタグ付加回路61aは図12に示すように中間VCI・タグ変換テーブルTBL30と、分配表示データに基づいて分配接続呼、1対1接続呼（非分配接続呼）の別を判断する分配・非分配呼判定部CDと、タグ付加部TGAを備えている。タグ付加部TGAは1対1接続呼の場合には、入力セルをそのまま出力し、分配接続呼の場合には、入力されたセルに付加されている中間VCI値に基づいて次段スイッチ部におけるビットマップタグを変換テーブルTBL30より求め、セルに付加して出力する。

【0046】図13はタグ付加回路のタグ付加説明図であり、セル101が分配接続呼の場合には、旧タグを除去し、代わって新タグを付加して出力し、セル101が1対1接続呼の場合には、何もせず入力セルをそのまま出力する。

#### 【0047】全体の動作

発呼情報がCPU41に与えられると、CPU41は発呼情報に含まれる分配接続の要求に応じて接続経路を生成、それに対応して各ヘッダ処理部21a~21i内の変換テーブル及びタグ付加回路61a~61i、71a~71i内の変換テーブルの内容を設定する。

【0048】発呼により発生したセルがハイウェイ10よりヘッダ処理部21aに入力すると、ヘッダ処理部は内蔵の変換テーブルより入力セルのVCIに応じた分配表示ビット、タグ情報、中間又は正規のVCI、中間又は正規のVPIを読み出してセルの先頭に付加してスイッチ部11<sub>11</sub>に転送する。

【0049】スイッチ部11<sub>11</sub>は分配表示ビットに基づいて分配接続呼か1対1接続呼かの判断を行い、分配接続呼の場合にはタグ情報をビットマップタグとみなし、1対1接続呼の場合にはコードタグとみなす。しかる後、ビットマップタグ又は1番目のコードタグTG1により指示された1以上のクロスポイントでセルを取り込んでセルバッファに蓄積すると共に、蓄積後セルバッファからセルを取り出して、該クロスポイントに応じた1以上の出ハイウェイに出力し、該出ハイウェイを通して中間段の所定のタグ付加回路61a~61iに入力する。

【0050】セルが入力された各タグ付加回路は、分配

表示データに基づいて分配接続呼、1対1接続呼（非分配接続呼）の別を判断し、1対1接続呼の場合には、入力セルをそのまま次段スイッチ部に転送し、分配接続呼の場合には、入力されたセルに付加されている中間VCI値に基づいて次段スイッチ部において使用される新タグを求め、旧タグに替えてセルに付加して出力する。

【0051】セルが入力された中間段スイッチ12<sub>11</sub>~12<sub>13</sub>は初段スイッチ11<sub>11</sub>と同様のスイッチ動作を行い（ただし、1対1接続呼の場合には、2番目のコードタグTG2を用いてスイッチ）、1以上の出ハイウェイに出力する。以後、同様に該出ハイウェイを通して最終段の所定のタグ付加回路71a~71iに入力し、タグ付加回路は、1対1接続呼のセルはそのまま最終段のスイッチ部に転送し、分配接続呼のセルは新たなタグを付加して最終段のスイッチ部に転送する。最終段スイッチ部13<sub>11</sub>~13<sub>13</sub>も初段スイッチ11<sub>11</sub>と同様のスイッチ動作を行い（ただし、1対1接続呼の場合には、3番目のコードタグTG3を用いてスイッチ）、1以上の出ハイウェイに出力する。

【0052】セルが出力された出ハイウェイの後処理部31a~31nは、セルの先頭に付されている分配表示データに基づいて分配接続呼、1対1接続呼（非分配接続呼）の別を判断し、1対1接続呼の場合には、入力セルをそのまま出力し（分配表示ビット、タグは除去）、分配接続呼の場合には、入力されたセルに付加されている中間VCIに応じた出ハイウェイでの正規なVCI、VPIを求め、セルにこれらを付加して出力する（分配表示ビット、タグは除去）。

【0053】以上要約すると、1対1接続の場合には、ヘッダ処理部21a~21nは入力セルに(1) 所定の出ハイウェイでの正規VCI、VPI及び(2) 1対1接続のための各段でのコードタグを付加し、初段、中間段、最終段スイッチ部はセルに付加された各段のコードタグを用いてスイッチを行ってセルを所定の1つの出ハイウェイに出力し、出ハイウェイの後処理部31a~31iはVCI、VPIの変換をせずそのまま次のATM交換機に伝送する。

【0054】又、分配接続呼の場合には、ヘッダ処理部21a~21nは入力セルに(1) スイッチ部内での中間VCI、VPI及び(2) 1以上の出ハイウェイへの分配接続のためのビットマップタグを付加し、初段スイッチ部で該ビットマップタグに基づいて1以上の出ハイウェイに分配出力し、中間段、最終段スイッチ部は中間VCI値に基づいてタグ付加回路で付加されたビットマップタグを用いてスイッチしてセルを所望の1以上の出ハイウェイに出力する。出ハイウェイに設けられた後処理部31a~31iは入力されたセルの中間VCI値、VPI値を出ハイウェイでの正規なVCI値、VPI値に変換して次のATM交換機に伝送する。

【0055】以上、本発明を実施例により説明したが、

本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

#### 【0056】

【発明の効果】以上本発明によれば、ヘッダ変換部、後処理部をスイッチ部の前段、後段にそれぞれ設けるだけで良く、またスイッチ部を多段リンク接続する場合にはヘッダ変換部、後処理部をそれぞれ初段スイッチ部の前段及び最終段スイッチ部の後段に設け、タグ付加回路を中間段及び最終段スイッチ部の前段には設けるだけで良く、分配接続用のヘッダ変換テーブルのメモリ容量を減少することができる。

【0057】又、本発明によれば、分配接続・1対1接続を同一設備で行うことができ、しかも、1対1接続の場合にはヘッダ変換部で出ハイウェイでの正規のVCIと各段におけるコード化されたタグを付加するようにしているため、中間、最終段で何等の変換も必要なく、換言すれば、タグ付加部、後処理部は1対1接続呼に対して何等考慮する必要は無いから、分配接続・1対1接続を同一設備で行うようにしても、ヘッダ変換テーブル用メモリ、タグ付加テーブル用メモリ等の容量増加を少なくできる。

#### 【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の第1の実施例構成図である。

【図3】タグの第1の説明図である。

【図4】タグの第2の説明図である。

【図5】ヘッダ処理部の構成図である。

【図6】ヘッダ処理部のヘッダ変換動作説明図である。

【図7】スイッチ部の各クロスポイントの構成図である。

【図8】後処理部の構成図である。

【図9】後処理部の変換動作説明図である。

【図10】本発明の第2の実施例構成図である。

【図11】1対1接続呼のヘッダ説明図である。

【図12】タグ付加回路の構成図である。

【図13】タグ付加説明図である。

【図14】従来の分配接続方式における通話路の構成図である。

【図15】従来の分配接続方式における通話路の別の構成図である。

#### 【符号の説明】

11・・・スイッチ部

11<sub>11</sub>~11<sub>1n</sub>・・・初段スイッチ部

12<sub>11</sub>~12<sub>1n</sub>・・・中間段スイッチ部

13<sub>11</sub>~13<sub>1n</sub>・・・最終段スイッチ部

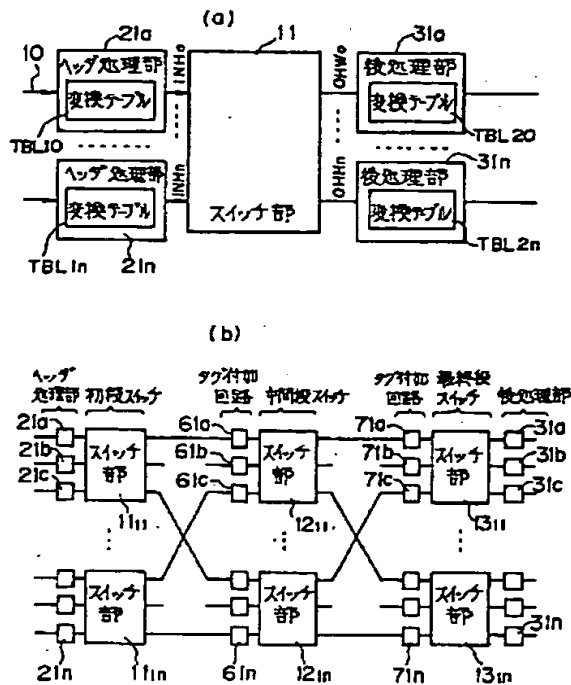
21a~21n・・・ヘッダ処理部

31a~31n・・・後処理部

61a~61n, 71a~71n・・・タグ付加回路

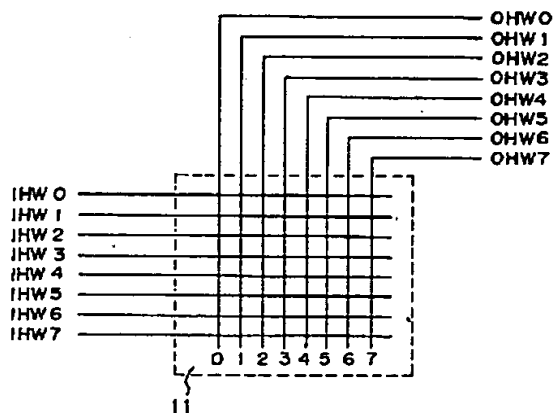
【図1】

本発明の原理説明図



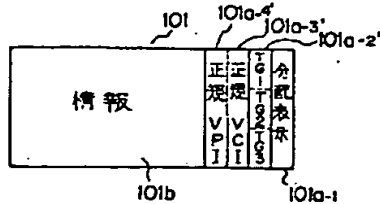
【図3】

タグの第1の説明図



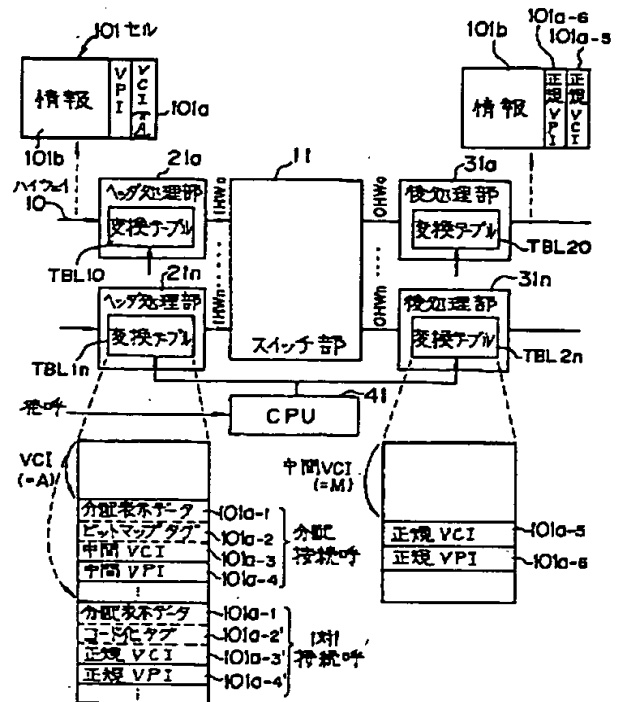
【図11】

対1接続時のヘッダ説明図



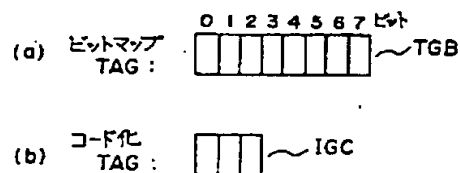
【図2】

本発明の第1の実施例構成図



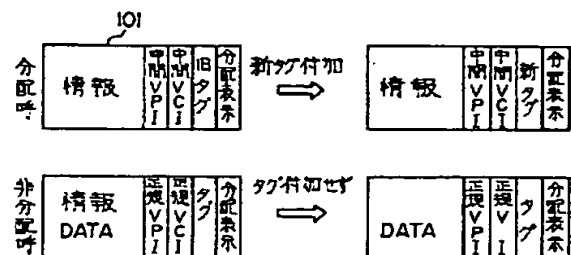
【図4】

タグの第2の説明図



【図13】

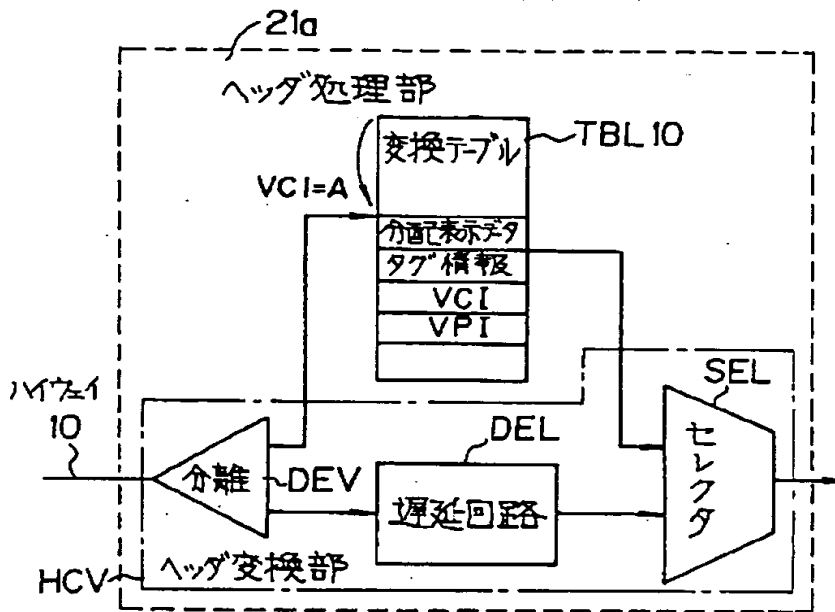
タグ付加説明図



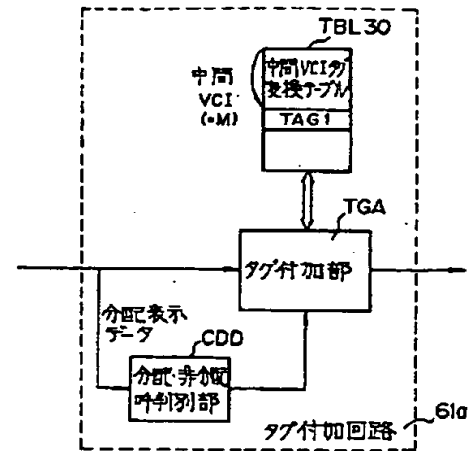
【図5】

【図12】

ヘッダ処理部の構成図

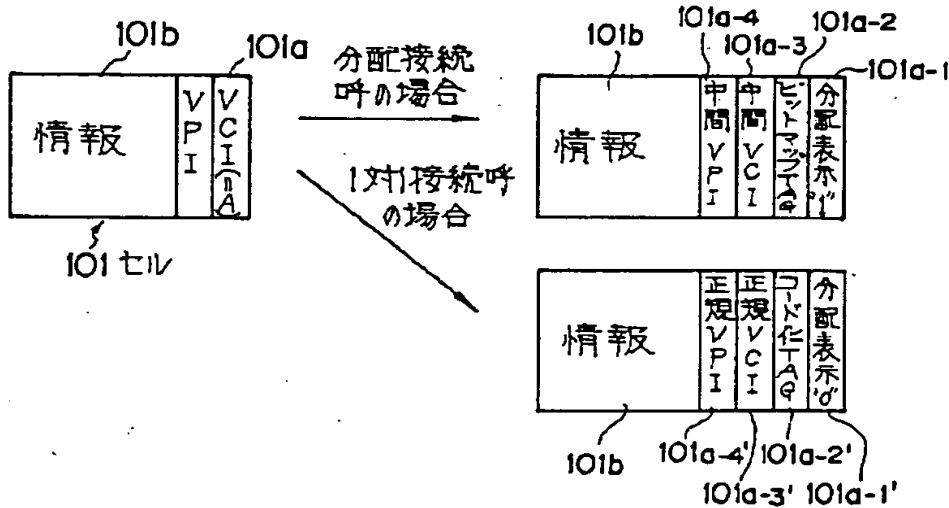


タグ付加回路の構成図



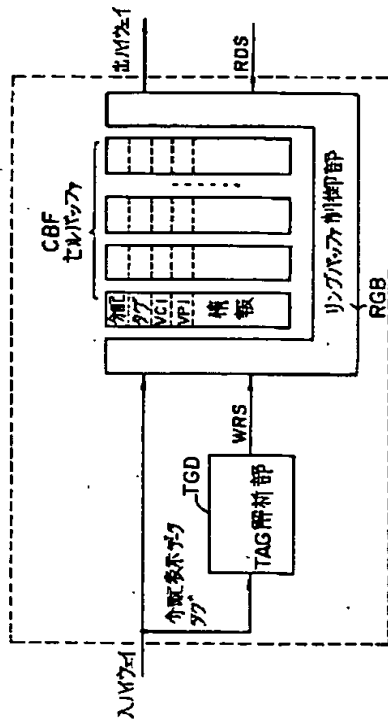
【図6】

ヘッダ処理部のヘッダ変換動作説明図



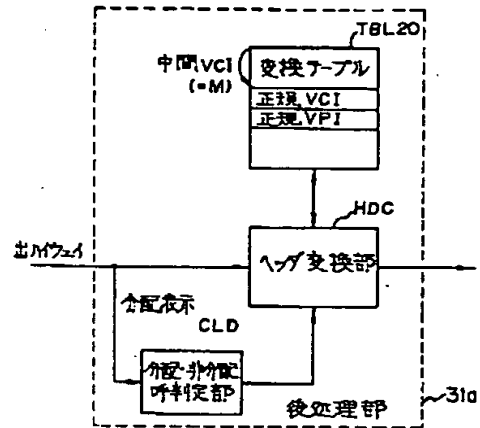
【図7】

スイッチ部の各クロスポイントの構成図



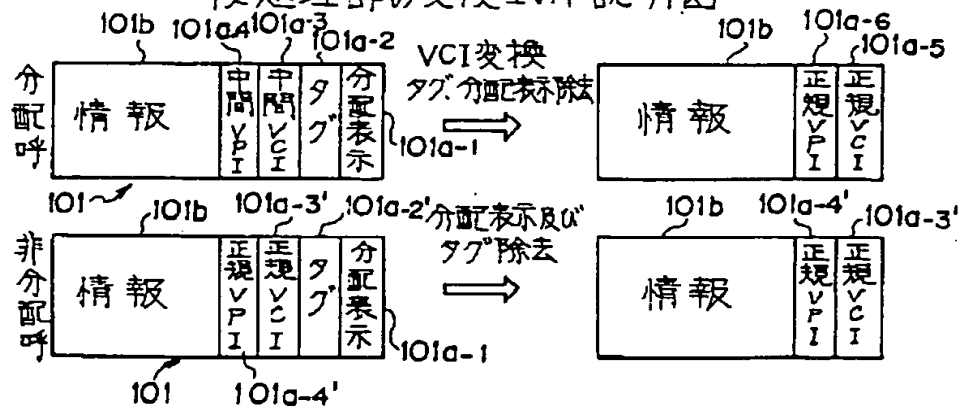
【図8】

後処理部の構成図



【図9】

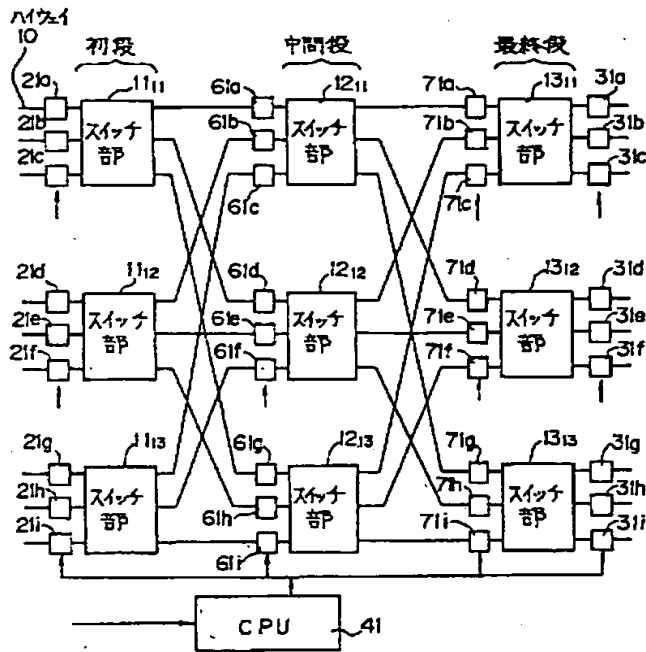
後処理部の変換動作説明図



【図10】

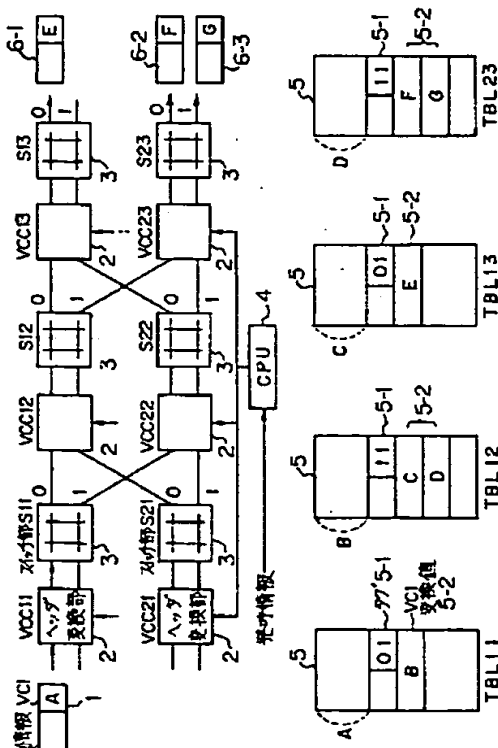
【図14】

本発明の第2の実施例構成図



【図15】

従来の分配接続方式における通話路の列の構成図



従来の分配接続方式における通話路構成図

